



PUBLICATION NUMBER : 03293740
PUBLICATION DATE : 25-12-91

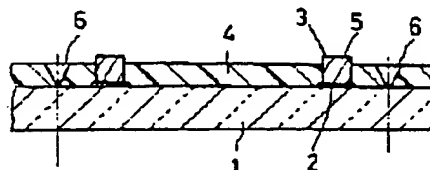
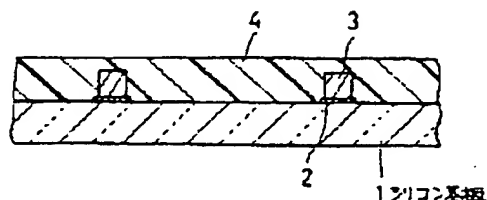
APPLICATION DATE : 12-04-90
APPLICATION NUMBER : 02095056

APPLICANT : CASIO COMPUT CO LTD;

INVENTOR : KIZAKI MASAYASU;

INT.CL. : H01L 21/60

TITLE : CONNECTING METHOD FOR
SEMICONDUCTOR DEVICE



ABSTRACT : PURPOSE: To efficiently connect a semiconductor device without edge short-circuit by forming an insulating film on the surface of a semiconductor wafer on a bump side in the state of the wafer, etching to the intermediate of the film thickness, and allowing the end of the bump to protrude upward from the insulating film.

CONSTITUTION: After bumps 3 are formed on the pad electrode 2 of a silicon substrate 1, an insulating film 4 is provided on the upper surface of the substrate 1 formed with the bumps 3. The film 4 is formed of liquid polyimide resin, etc., having insulating properties, coated with the resin by spin coating, dried and cured. Then, the entire surface of the film 4 is half etched to be removed to the intermediate of the film thickness from the upper surface, and the upper ends 5 of the bumps 3 are allowed to protrude upward from the film 4. Thus, an edge short-circuit can be prevented, and a semiconductor chip can efficiently be connected to the connecting terminal of the substrate.

COPYRIGHT: (C) JPO

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-293740

⑬ Int. Cl.⁸

H 01 L 21/60

識別記号

3 1 1 R
3 1 1 Q

庁内整理番号

6918-4M
6918-4M

⑭ 公開 平成3年(1991)12月25日

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置の接続方法

⑯ 特 願 平2-95056

⑰ 出 願 平2(1990)4月12日

⑱ 発 明 者 木 崎 正 康 東京都青梅市今井3丁目10番地6 カシオ計算機株式会社
青梅事業所内

⑲ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

⑳ 代 理 人 弁理士 杉村 次郎

明 細 書

1. 発明の名称

半導体装置の接続方法

2. 特許請求の範囲

半導体ウエハにパンプ電極を形成する工程と、

前記半導体ウエハの前記パンプ電極側の表面にスピンコーティングにより絶縁膜を形成する工程と、

前記絶縁膜をその膜厚の中間までエッチングして前記パンプ電極の先端部分を前記絶縁膜の上方に突出させる工程と、

前記半導体ウエハをダイシングして個々の半導体装置に分割する工程と、

前記半導体装置の絶縁膜から突出した前記パンプ電極の先端部分を基板の接続端子にボンディングする工程と、

からなる半導体装置の接続方法。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は半導体チップ等の半導体装置の接続方法に関する。

[従来の技術]

従来、ICチップ等の半導体チップは、半導体ウエハのパッド電極上にパンプ電極を形成した上、半導体ウエハをダイシングすることにより、個々のチップ製品として分割形成されている。

この半導体チップを基板に搭載する方法として、TAB(Tape Automated Bonding)方式が知られている。このTAB方式では、フィルム基板にデバイスホールを形成した上、フィルム基板の裏面に銅等の金属箔をラミネードし、この金属箔をエッチングしてデバイスホールの壁から内側へ突出するフィンガリードを形成し、このフィンガリードに半導体チップのパンプ電極をボンディングすることにより、半導体チップをフィルム基板に搭載している。

特開平3-293740 (2)

【発明が解決しようとする課題】

しかし、上述した半導体チップの接続方法では、フィルム基板のフィンガリードに半導体チップのポンプ電極をボンディングする際、フィンガリードが半導体チップの外縁部に接触して短絡するという所謂エッジショートを起し易い。そのため、ボンディング後にフィンガリードが半導体チップの外縁部に接触しないように、各半導体チップ毎に、フィンガリードをフォーミング加工により屈曲させたり、あるいは半導体チップの外縁部に絶縁シートを配置したりしなければならず、接続作業が煩雑で、作業性が極めて悪いという問題がある。

この発明の目的は、エッジショートを起さず、効率的に半導体装置を接続することのできる半導体装置の接続方法を提供することである。

【課題を解決するための手段】

この発明は上述した目的を達成するために、半導体ウエハにポンプ電極を形成した上、前記半導

をフォーミング加工により屈曲させたり、あるいは半導体装置の外縁部に絶縁シートを覆ったりしなくても、エッジショートを起さず、半導体装置を基板の接続端子に簡単かつ容易にボンディングでき、極めて簡単に接続することができる。

【実施例】

以下、第1図～第3図を参照して、この発明の一実施例を説明する。

まず、第2図に示すように、シリコン基板（半導体ウエハ）1のパッド電極2上にポンプ電極3を形成する。この場合、シリコン基板1にはチップ形成領域が多数区画されており、各チップ形成領域にはそれぞれ所定の素子回路が形成されているとともにパッド電極2が形成されている。

そして、パッド電極2上にポンプ電極3を形成する場合には、シリコン基板1の上面（パッド電極2側の面）にフォトリソストを塗布し、このフォトリソストをフォトリソグラフィ法により露光し現像することにより、パッド電極2と対応す

る領域に開口を形成し、この状態でメッキを施すと、開口を通してパッド電極2上にポンプ電極3が形成される。このポンプ電極3は金や平田等の金属よりなり、その高さは30μm程度に形成されている。

【作用】

この発明によれば、半導体ウエハの状態で、半導体ウエハのポンプ電極側の表面に絶縁膜を形成し、この絶縁膜を膜厚の中間までエッチングすることにより前記ポンプ電極の先端部分を絶縁膜の上方に突出させたので、この後、半導体ウエハをダイシングして個々の半導体装置に分割しても、分割された個々の半導体装置の外縁部には絶縁膜が形成されることとなる。そのため、個々の半導体装置を基板の接続端子にボンディングする際、従来のように各半導体装置毎に、基板の接続端子

にボンディングすることである。

この後、第3図に示すように、ポンプ電極3が形成されたシリコン基板1の上面に絶縁膜4を敷く。この絶縁膜4は絶縁性を有する膜状のポリイミド樹脂等よりなり、この樹脂をスピンコーティングにより塗布した上、乾燥硬化することにより形成される。この場合、絶縁膜4の膜厚は図ではポンプ電極3の高さよりも厚く形成されているが、ポンプ電極3の高さとほぼ同じ膜厚に形成してもよい。しかし、いずれの場合においても、絶縁膜4の上面はシリコン基板1の上面と平行に形成することが望ましい。

次に、第3図に示すように、絶縁膜4の全面をハーフエッチングによりその上面から膜厚の中間まで除去してポンプ電極3の上端部分5を絶縁膜4の上方に突出させる。この場合、ハーフエッ

特開平3-293740 (8)

チングはエッチング時間等のエッチング条件を適宜決定することによりエッチング量を調整することができる。また、エッチング後の絶縁膜4の膜厚は、パンプ電極3の高さの80～90%の厚さが望ましい。例えば、パンプ電極3の高さが80μm程度であれば、絶縁膜4の厚さを23μm程度に形成する。

この後、図10に示すように、シリコン基板1のチップ形成領域の境界に位置する箇所（2点鎖線で示す箇所）の絶縁膜4にダイシング用の溝8を形成する。この場合には、絶縁膜4の表面にフォトレジストを塗布して露光し現像することにより、チップ形成領域の境界と対応する箇所のフォトレジストに開口を形成し、この開口を通して絶縁膜4をエッチングすることにより、ダイシング用の溝8が形成される。なお、この溝8は断面形状が「V」字状に形成されたものが望ましいが、これに限られない。そして、ダイシング用の溝8に沿ってシリコン基板1をダイヤモンドブレード等によりダイシングして、個々の半導体チップ7

に分割する。

次に、図10に示すように、分割された半導体チップ7をTAB方式によりフィルム基板8に搭載する。この場合には、予めフィルム基板8にフィンガリード9を形成する。すなわち、フィルム基板8の所定箇所にデバイスホール10を形成した上、フィルム基板8の表面に銅等の金属箔をラミネートし、この金属箔をフォトリソグラフィ法を用いてエッチングし、金属箔の不要な部分を除去することにより、デバイスホール10内に突出した所定形状のフィンガリード9を形成する。なお、フィンガリード9の全表面にはスズ、半田合金等のメッキを施す。すなわち、パンプ電極3が金の場合にはスズメッキを施し、パンプ電極3が半田の場合には半田合金のメッキを施す。

そして、半導体チップ7をフィルム基板8に搭載する場合には、フィルム基板8のデバイスホール10内に半導体チップ7を配置し、半導体チップ7のパンプ電極3をフィンガリード9に対向させ、この状態でパンプ電極3とフィンガリード9

とを熱圧着によりボンディングする。このとき、半導体チップ7の上面、特に外端子11上には絶縁膜4が形成されているので、パンプ電極3にフィンガリード9をボンディングする際、従来のように各半導体チップ7毎に、フィンガリード9をフォーミングにより屈曲させたり、あるいは半導体チップ7の外端子11に絶縁シートを配置したりしなくても、フィンガリード9が半導体チップ7の外端子11に接触して短絡することはない。この場合、半導体チップ7のレイアウト等、半導体チップ7の外端子11との短絡を防ぐ以外にフィンガリード9をフォーミング加工により屈曲させることは差し支えない。この後、パンプ電極3とフィンガリード9の接合部分を樹脂12で封止して保護すればよいので、半導体チップ7をフィルム基板8に簡単かつ容易に接続することができ、能率的に接続作業を行なうことができる。

なお、この発明は上述した実施例に限定されるものではない。例えば、半導体チップ7が被装さ

れる基板は、フィルム基板8である必要はなく、硬質の配線基板であってもよい。また、半導体チップ7のパンプ電極3がボンディングされる接続端子は、必ずしもフィンガリードである必要はなく、基板上に設けられたパッド電極であってもよい。さらに、半導体チップ7はTAB方式によりボンディングする必要はなく、フリップチップ方式、あるいはフュイズダウン方式によりボンディングするようにしてもよい。

【発明の効果】

以上詳細に説明したように、この発明によれば、半導体ウエハの状態で、半導体ウエハのパンプ電極側の表面に絶縁膜を形成した上、その膜厚の中間までエッチングすることにより前記パンプ電極の先端部分を絶縁膜の上方に突出させたので、半導体ウエハをダイシングして個々に分割された半導体チップを基板の接続端子にボンディングする際に、従来のように各半導体チップ毎に、基板の接続端子を屈曲したり、あるいは半導体

